

PATENT

Customer No.31561
Docket No.: 11208-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chieng-Chung Chen
Application No. : 10/604,821
Filed : August 20, 2003
For : POWER SOURCE DETECTOR
Examiner :

COMMISSIONER FOR PATENTS

2011 South Clark Place

Crystal Plaza Two, Lobby, Room 1B03

Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:92118559,
filed on:2003/07/08.

A return prepaid postcard is also included herewith.

Respectfully Submitted,

JIANQ CHYUN Intellectual Property Office

Dated: Oct. 2, 2003

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

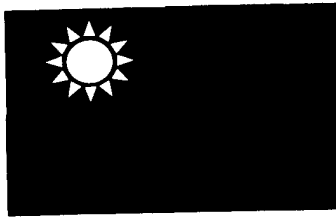
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 08 日
Application Date

申請案號：092118559
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 22 日
Issue Date

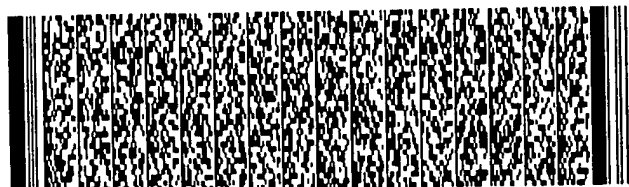
發文字號：09220841460
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	電力偵測器及其偵測方法
	英文	POWER SOURCE DETECTOR AND DETECTING METHOD THEREOF
二、 發明人 (共1人)	姓名 (中文)	1. 陳健中
	姓名 (英文)	1. Chieng Chung Chen
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市光復路二段513號4樓之1
	住居所 (英文)	1. 4F.-1, No. 513, Sec. 2, Guangfu Rd., Hsinchu City Taiwan 300, R.O.C
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓名 (英文)	1. Winbond Electronics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 4, Creation Road III, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 焦佑鈞
	代表人 (英文)	1. Arthur Y.C. Chiao



四、中文發明摘要 (發明名稱：電力偵測器及其偵測方法)

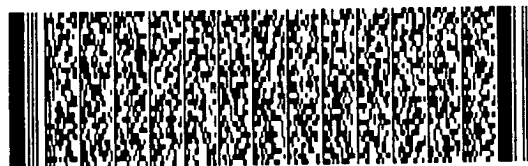
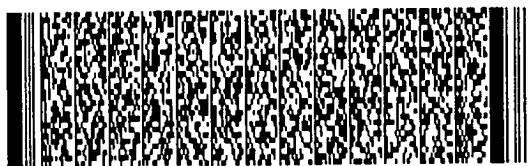
一種電力偵測器及其偵測方法。此電力偵測器及其偵測方法中，可使一積體電路(IC)能以有效率且廉價的方式自動設置其資料電力準位(data power level)。本電力偵測器及其偵測方法中因生產過程中省卻預設資料電力準位之步驟，適用於半導體積體電路領域，尤適用於動態隨機存取記憶體電路(DRAM)。

伍、(一)、本案代表圖為：第___1___圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：POWER SOURCE DETECTOR AND DETECTING METHOD THEREOF)

A method as well as a circuit for an integrated circuit (IC) automatically self-configuring its data power level at an effective and inexpensive way. The embodiment of the present invention is particularly useful for a Dynamic Random Access memory (DRAM) not to have a preset data power level during its fabrication process.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



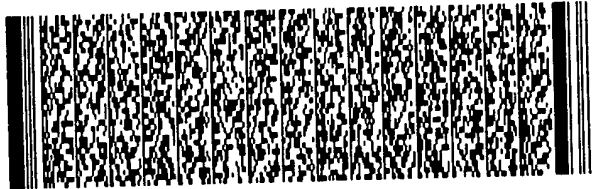
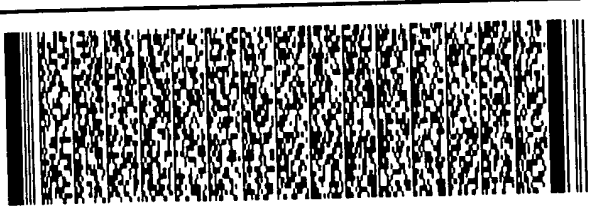
五、發明說明 (1)

發明所屬之技術領域

本發明適用於一般的積體電路(Integrated Circuit, 簡稱IC), 且特別針對具有二種電源的積體電路之電力偵測電路及其偵測方法, 其來源一者為積體電路電源(IC power source), 另一為積體電路資料電源(IC data power source)。本發明提供一機制使積體電路可自動設置適切的資料電壓操作準位。

先前技術

動態隨機存取記憶體(Dynamic Random Access Memory, 簡稱DRAM)裝置通常由二個不同的來源提供電源。其一為動態隨機存取記憶體裝置之操作電源, 通常命名為VDD, 其二為動態隨機存取記憶體裝置之資料電源, 通常命名為VDDQ。此二電源不一定操作在同一電壓準位。舉例來說, 一個典型的動態隨機存取記憶體裝置, 其操作電源VDD為2.5伏特, 然而搭配的資料電源VDDQ則依此記憶體裝置之使用情形而定, 一般為2.5或1.8伏特。而為了使動態隨機存取記憶體裝置能正常運作, 通常會於電路中嵌入一電源準位偵測電路以確保VDD之穩定, 而其實際電路圖如第6圖及第7圖所示。第6圖係VDD電源準位偵測電路之方塊圖600, 在此圖中, 一電力偵測器610之一輸入端所接收之一電源VDD即為動態隨機存取記憶體裝置之操作電源, 而其一輸出節點A為一輸出指示節點。當在輸出節點A所輸出之訊號改變狀態時, 動態隨機存取記憶體裝置抓到此訊號並於此電壓VDD之電壓準位下操作。第6圖之電源準

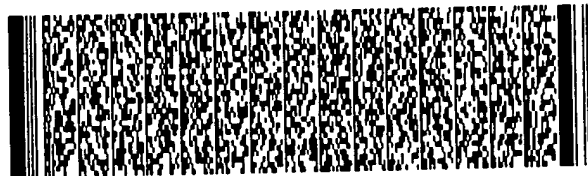
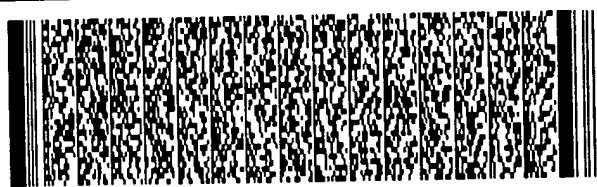


五、發明說明 (2)

位偵測電路之詳細電路示於第7圖。在第7圖中，當輸出節點A之輸出訊號自一邏輯高準位1改變狀態至一邏輯低準位0，此記憶體裝置之內部電路即使用電源VDD。下一段將針對第7圖詳細說明。

當電源VDD於一初始情況時，此電源之電壓準位由0提昇至一穩態電壓準位，此設為2.5伏特。若謹慎選擇電阻710、720及730的電阻值，在電源VDD到達其穩態電壓準位之前，輸出節點A之輸出訊號將保持在邏輯高準位1之狀態。於此狀態時，電阻710及720間的節點電壓不足以推動電晶體750，所以輸出節點A之輸出端訊號經由電阻730提昇至高準位之電壓。當VDD電壓準位逐漸增加至穩態之2.5伏特時，電阻710與電阻720之間的節點電壓便足以推動電晶體750。因此當電晶體750成為通路，輸出節點A之輸出端訊號便被拉降至低準位邏輯0。只要輸出節點A之輸出訊號自邏輯高準位1改變狀態至邏輯低準位0時，動態隨機存取記憶體裝置之電路便接收到指示且開始於VDD電壓準位下操作。

目前的VDD電源偵測機制可確保一動態隨機存取記憶體裝置工作於供應正常的電源之下。然而動態隨機存取記憶體裝置之資料電源準位於生產時便預設好一固定電壓準位，這點係不同於具有電力偵測電路之VDD電源。而一預設工作於2.5伏特之動態隨機存取記憶體裝置出廠後便不能工作於1.8伏特之資料電源準位，反之亦然。故本發明在此提供一適切之方法及電路使動態隨機存取記憶體裝置



五、發明說明 (3)

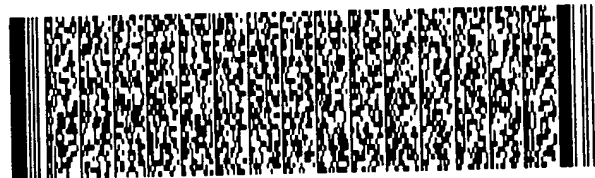
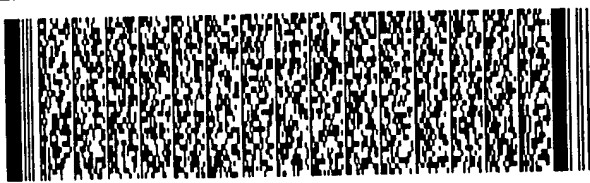
能自動偵測環境之VDDQ資料電源準位，並自動調整使之自操作於該VDDQ電壓準位。

在本發明中，一積體電路(如一動態隨機存取記憶體)可有彈性地於各種資料電源之下工作，不需要出廠後即受制於固定資料電壓準位。基於上述理由，積體電路中需要嵌入一低成本製造之資料電壓準位自動設置電路以增加積體電路的實用性且減低其存貨問題。

發明內容

本發明針對積體電路資料電源準位(IC data power level)之需要設計一自動設置(auto-configuring)機制電壓準位之電路。此電路由以下二部分電路構成：第一電力偵測器，使積體電路內部工作於良好電壓準位，及第二電力偵測器，使資料電源準位自動操作於適切電壓。該第一電力偵測器連接第一外部電源，且輸出一訊號顯示該外部電源是否能使IC工作正常。第二電力偵測器連接第二外部電源，且提供一訊號顯示該資料電源準位之狀態；第一輸出狀態表示IC資料電源位於第一電壓準位，第二輸出狀態表示IC資料電源位於第二電壓準位。IC接收到來自第二電力偵測器之資料電源準位指示，便自動設置因應之操作資料電源準位。

如前一段說明，第一與第二電力偵測器係分別獨立操作。但第二電力偵測器可依第一電力偵測器之輸出切換其電源準位偵測功能。在此情況下，第一電力偵測器如同第二電力偵測器之開關。第一電力偵測器在合乎偵測準則之



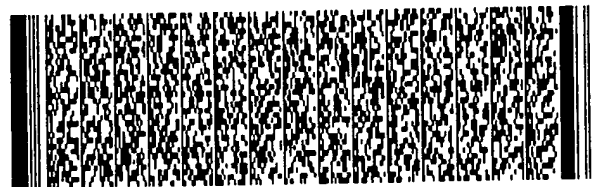
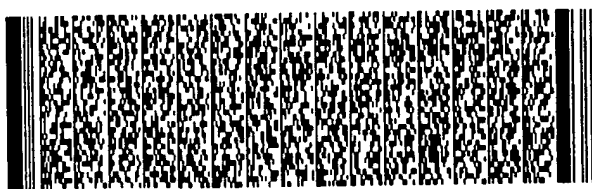
五、發明說明 (4)

準位下指示啟動第二電力偵測器以偵測第二外部電源準位。若具備此機制，積體電路中的漏電流現象可大幅削減。

本發明之最佳實例提供積體電路中偵測電源之方法。此方法係接通第一電源再決定是否接通第二電源。由一分析立場看來，此方法包含一第一電源偵測法與一第二電源偵測法。當電路接收到第一電源的準位，且提供第一輸出訊號顯示偵測結果。當接收到第二電源時，第二電源偵測法便判別第二電源之電壓準位，且提供第二輸出訊號。此訊號在第二準位時顯示第二狀態。此方法也有削減漏電流的功能，係由第一輸出訊號觸發第二電源偵測法；第二電源偵測法為接收第一電源偵測法指示電源正常時適運作，由此可避免非必要之電力消耗。

本發明之較佳實例在解決先前技術中DRAM之資料電源設置問題時尤能發揮其用處。在DRAM出廠之前，其資料電源線已預設於既定之操作電壓準位。此資料電源準位預設值於DRAM規格手冊中增加一筆項目。不但造成人為錯誤，且DRAM資料電壓之可能性，亦增加不同資料電源準位但同規格DRAM之庫存負擔問題。由於本發明的機制，上列的問題獲得廉價且有效率的解決。本發明可應用於DRAM之生產，也可因應其它積體電路製程之所需。

為讓本發明之上述和其他特徵和優點能更明顯易懂，



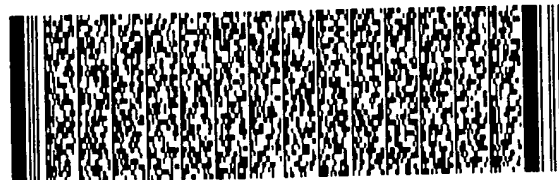
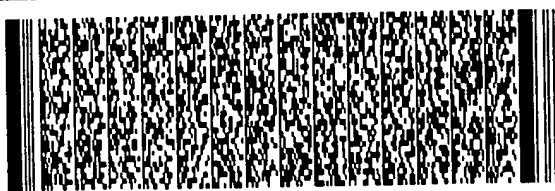
五、發明說明 (5)

下文特舉其較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

本發明之較佳實施例包含一電源偵測方法及一電力偵測電路。從分析的角度來看，此電源偵測法可分為第一電源偵測法及第二電源偵測法。同理，該電力偵測電路可分解為第一電力偵測電路與第二電力偵測電路。在下一段中將依序說明偵測法與偵測電路之詳細內容。

第1圖係顯示本發明一較佳實施例中之一電源偵測方法之流程圖100。此電源偵測方法係是適用於一般之積體電路(Integrated Circuit)裝置，底下係配合此積體電路裝置說明本實施例之步驟。首先，在步驟110中，當一積體電路接收一第一外部電源及一第二外部電源時，此積體電路裝置係依照一第一電源偵測法處理此第一外部電源，而依照第二電源偵測法處理此第二外部電源。一般而言，通常由第一電源偵測法處理積體電路裝置主要消耗之外部電力，而由第二電源偵測法處理積體電路裝置中資料線電壓消耗之外部電力。第一電源偵測法係提供一電源品質訊號指示積體電路裝置之內部電路工作於一恰當的外部電壓準位。而第二電源偵測法係提供一電源品質訊號指示積體電路裝置之工作於恰當的一資料電壓準位。因此，在第1圖之實施例中，此法接著在步驟112中，辨別所接收之電源是否在適當良好的電壓準位，並檢查操作中之第二電源之電壓準位，其後，在步驟113中，提供對應之一第一輸



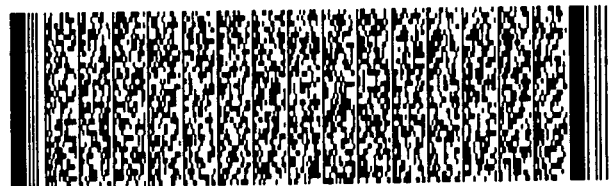
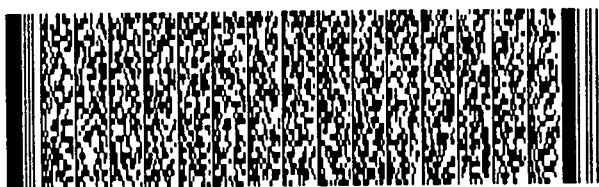
五、發明說明 (6)

出訊號與一第二輸出訊號。第一輸出訊號表示此第一接4
電源之品質，且第二輸出訊號表示此第二接收電源之電
源準位狀態，包括一第一狀態係表示在一第一電源準位，而
第二狀態係表示在一第二電源準位。

為削減IC電路中可能發生的漏電流現象，可選擇由第
一電源偵測法驅動第二電源偵測法。此法係若第一電源偵
測法指示外部電壓準位不合乎預定值，則第二電源偵測法
便在一關閉之模式。由第一電源偵測法檢驗主要IC電源供
應有其意義存在，若主要電源無法提供適當電壓，則沒有
檢驗次要電源(大多指資料電源)之必要。本實施例中之方
法可大幅削減漏電流及不必要之電力消耗。

有鑑於前，實現前述之架構於實際電路，在一較佳實
例中，可由二組電力偵測電路所構成，例如第2圖及第3圖
係說明不具備防漏電設計之電力偵測電路，而第4圖與第5
圖係說明具備防漏電設計之電力偵測電路。

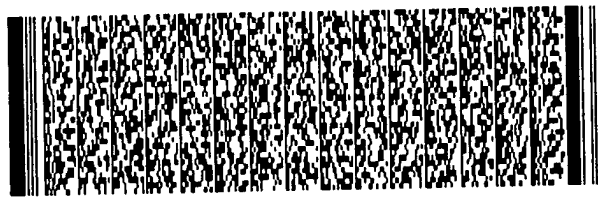
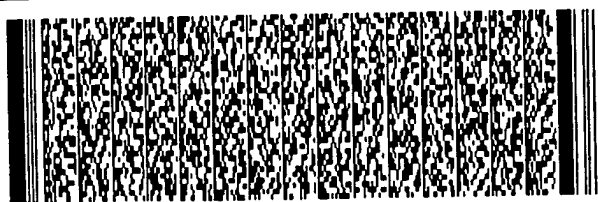
首先，請參照第2圖，係顯示不具備防漏電設計之電
力偵測電路方塊圖200。如圖所示可清楚看到，VDD電力偵
測器610係用以執行上述的第一電源偵測法，VDDQ資料電
力偵測器250係用以執行上述之第二電源偵測法。關第3圖
為第2圖中的VDDQ資料電力偵測器250之詳細電路之一較佳
實施例於下詳細解說之。第3圖中電阻310、320、及330之
電阻值可根據設計上的需要調整，並可使電晶體350隨
VDDQ電壓變動呈通路或斷路。當電晶體呈通路時，節點B
係處於一第一狀態，也就是VDDQ第一電壓準位，當電晶



五、發明說明 (7)

體呈斷路時，節點B係處於一第二狀態，也就是VDDQ第二電壓準位。舉例來說，有二組不同之VDDQ電壓準位2.5伏特及1.8伏特。調整電阻310、320、及330之電阻值，使得電晶體350在2.5伏特時形成通路，在1.8伏特時形成斷路。因此，節點B為邏輯1時表示VDDQ為1.8伏特，B節點為邏輯0時表示VDDQ為2.5伏特。根據這樣的表示法，一積體電路裝置(如一DRAM裝置)之資料電力線便不必在工廠生產時預設(preset)至一固定操作電壓準位，且當電源啟動時，此積體電路裝置之資料電力線之資料電源準位便會自動設置。此簡單且廉價的電力偵測電路有效地解決IC庫存問題，且減低操作電力準位之人為錯誤。

第4圖顯示本發明一較佳實施例之具備防漏電設計之電力偵測器之電路方塊圖400。可清楚看到，VDD電力偵測器610係用以執行上述之第一電源偵測法，而VDDQ資料電力偵測器450係用以執行上述之第二電源偵測法。VDD電力偵測器610之電路範例已於之前之描述中討論過，在此不再冗述。第5圖為VDDQ資料電力偵測器450之電路一較佳實施例，將如下詳細說明。第5圖之VDDQ資料電力偵測器450係包括電阻510、520、530，及一電晶體550對應於第3圖中之電阻310、320、330，及電晶體350。電阻510、520、530和在第3圖中同樣為辨別VDDQ電壓準位之元件，可準確控制電晶體550於預設電壓準位時之通、斷路。除此之外，VDDQ資料電力偵測器450更包括一電晶體560與一電晶體570。此電晶體570為一P型通道電晶體，而電晶體560為

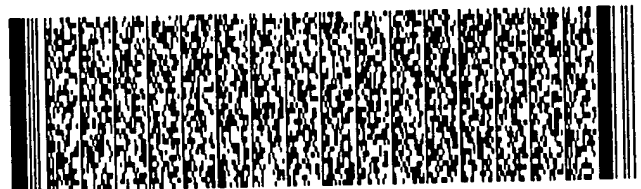
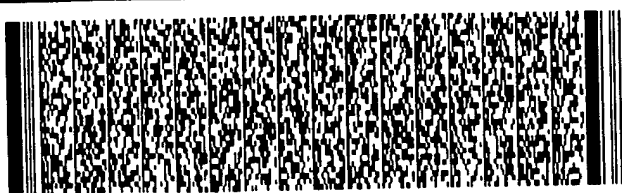


五、發明說明 (8)

一N型通道電晶體。此二電晶體之工作特性恰相反，一形成通路時，另一則形成斷路。如前所述，當節點A之訊號自邏輯1切至邏輯0表示VDD電源可供IC正常工作。當節點A之訊號為邏輯1時，此P型通道電晶體570呈斷路狀態，而N型通道電晶體560呈通路狀態。此時P型通道電晶體570處於其斷路狀態，阻斷VDDQ電源通入此VDDQ電力偵測器450中。同時，此N型通道電晶體560處於其通路狀態，使電晶體550之閘極接至參考地線而關閉電晶體550。結果係電晶體560與570使VDDQ資料電力偵測器450於主要IC電源未達適切電壓準位而無法工作。當節點A之訊號自邏輯1切至邏輯0時，P型通道電晶體570形成通路，N型通道電晶體560為斷路，使得第5圖之電路與第3圖之電路功能完全相同。由以上顯然預見加入電晶體560與570二組元件可大幅減低IC主要電源未達適當良好電壓時之漏電流。

本發明之較佳實例對DRAM資料電源準位自動配置效用彰顯，然而此實例亦可依需要施用於其他積體電路之設計上。再者，所有於本較佳實例圖形中所示之電晶體均以金屬氧化半導體場效電晶體 (Metal Oxide Semiconductor Field Effect Transistor) 實現。然而所有其它具有一般電晶體功能的電路元件均可替代在此發明較佳實例中之MOSFET。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種更動與潤飾，因此本發明之保護範



五、發明說明 (9)

圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

附件中之圖示與文字兼屬本發明之規格內容，在此供本發明之實施例與發明原理較詳盡之說明。圖示說明如下：

第1圖係顯示本發明較佳實例之一電源偵測法流程圖。

第2圖係顯示本發明一較佳實施例之不具備防漏電設計之電力偵測電路方塊圖。

第3圖係顯示第2圖中VDDQ資料電力偵測器之詳細電路圖。

第4圖係顯示本發明一較佳實施例之具備防漏電設計之電力偵測器之電路方塊圖。

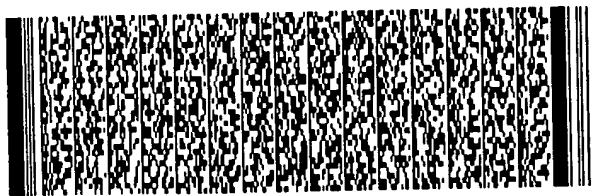
第5圖係顯示第4圖中VDDQ資料電力偵測器之電路示範。

第6圖係一積體電路中常用電力偵測器之電路方塊圖。

第7圖係第6圖中電力偵測器之詳細電路圖。

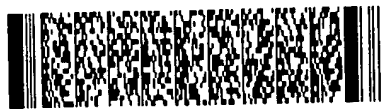
圖式標記說明：

- 200 不具備防漏電設計之電力偵測電路方塊圖
- 250 VDDQ資料電力偵測器
- 310、320、及330 電阻
- 350 電晶體
- 400 具備防漏電設計之電力偵測器之電路
- 510、520、530 電阻
- 550、560、570 電晶體



圖式簡單說明

610 VDD 電力偵測器



六、申請專利範圍

1. 一種電力偵測方法，適用於對一積體電路偵測電源，該方法包括：

接收一第一電源及一第二電源；以及

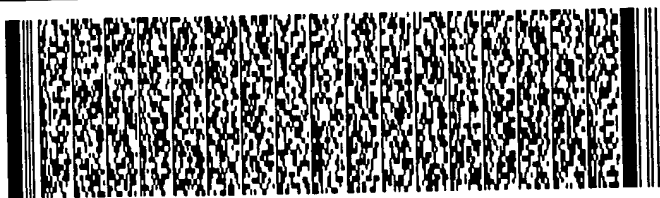
辨別該第一電源是否位於一預定之電力準位，並據以產生一第一輸出訊號，以顯示該第一接收電源之品質，其中當該第一輸出訊號顯示該第一電源位於該預定之電力準位時，辨別該第二電源之操作電力準位，並據以產生一第二輸出訊號，以顯示該第二電源之狀態位於一第一狀態及一第二狀態之一，其中位於該第一狀態時，該第二電源係位於一第一電力準位，當該第二狀態時，該第二電源係位於一第二電力準位。

2. 一種電力偵測電路，適用於一積體電路裝置之電源偵測，該電力偵測電路包括：

一第一電力偵測器，用以偵測該積體電路裝置是否位於一預定之操作電力準位下操作；

一第二電力偵測器，用以偵測該積體電路裝置是否位於一預定之資料電力準位下操作，並據以輸出一第二輸出訊號，以顯示該第二電源之狀態位於一第一狀態及一第二狀態之一，其中當位於該第一狀態時，該積體電路裝置係以一第一電力準位作為該資料電力準位，當位於該第二狀態時，該積體電路裝置係以一第二電力準位作為該資料電力準位。

3. 如申請專利範圍第2項所述之電力偵測電路，其中該積體電路係一動態隨機存取記憶體。



六、申請專利範圍

4. 如申請專利範圍第2項所述之電力偵測電路，其中言第二電力偵測器偵測到該積體電路裝置之資料電力準位是位於該第一電力準位時，輸出該第一狀態，而該第二電力偵測器偵測到該積體電路裝置之資料電力準位是位於該第二電力準位時，輸出該第二狀態。

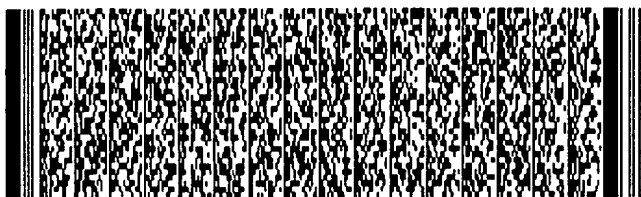
5. 如申請專利範圍第2項所述之電力偵測電路，其中該第一電力偵測器接受一外部電源並輸出一訊號指示該外部電源是否可使該積體電路裝置正常運作。

6. 如申請專利範圍第5項所述之電力偵測電路，其中第二電力偵測器接收一外部資料電力以及自該第一電力偵測器輸出之該訊號，並在該第一電力偵測器所輸出之該訊號指示該積體電路裝置正常運作時，該第二電力偵測器才針對該外部資料電力進行偵測。

7. 如申請專利範圍第5項所述之電力偵測電路，其中該第一電力偵測器所輸出之該訊號從一邏輯高準位切至一邏輯低準位時，即用以指出該外部電源可使該積體電路裝置正常運作。

8. 如申請專利範圍第2項所述之電力偵測電路，其中該第二電力偵測器包括：

- 一第一電阻，其一端連接至一外部資料電源；
- 一第二電阻，其一端耦接至該第一電阻之另一端，該第二電阻之另一端接至一參考地線；
- 一第三電阻，其一端連接至該外部資料電源；
- 一電晶體，其一第一端連接至該第一電阻與該第二電



六、申請專利範圍

阻相互耦接之節點，其一第二端連接至該參考地線，而其第一第三端連接至該第三電阻之另一端，即為該第二電力偵測器之輸出端。

9. 如申請專利範圍第8項所述之電力偵測電路，其中該電晶體為一金屬氧化半導體場效電晶體(Metal Oxide Semiconductor Field Effect Transistor)，而該第一端即為其閘極，該第二端即為其源極，而該第三端即為其汲極。

10. 如申請專利範圍第8項所述之電力偵測電路，其中該電晶體為一雙載子電晶體。

11. 如申請專利範圍第2項所述之電力偵測電路，其中該第二電力偵測器包括：

- 一P型電晶體，其一汲極連接至外部資料電源，其一閘極接收由該第一電力偵測器之輸出訊號；

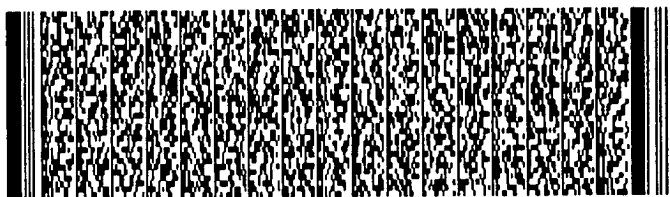
- 一第一電阻，其一端連接至該P型電晶體之一源極；

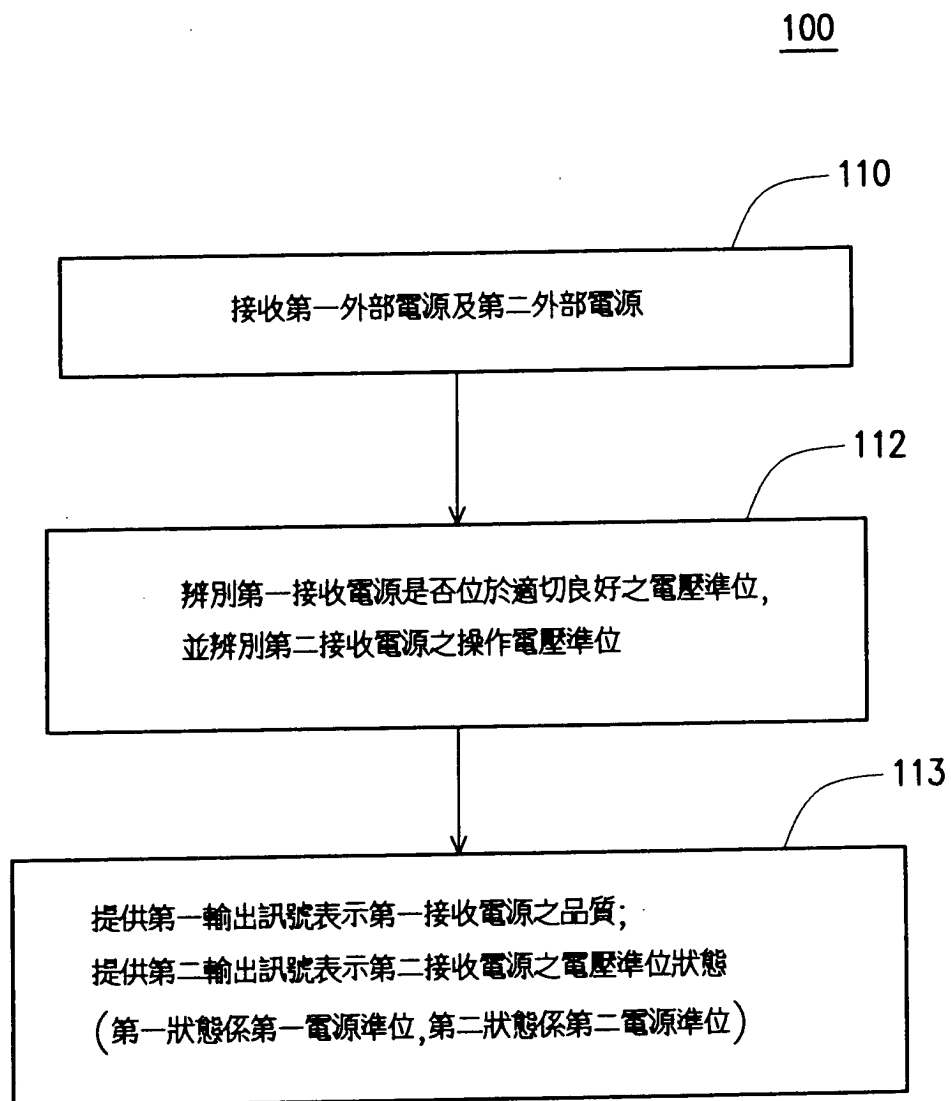
- 一第二電阻，其一端連接至該第一電阻而另一端連接至一參考地線；

- 一第一N型電晶體，其一閘極接收該第一電力偵測器之輸出，其一源極連接至該參考地線，而其一汲極連接至該第一與該第二電阻耦接之節點；

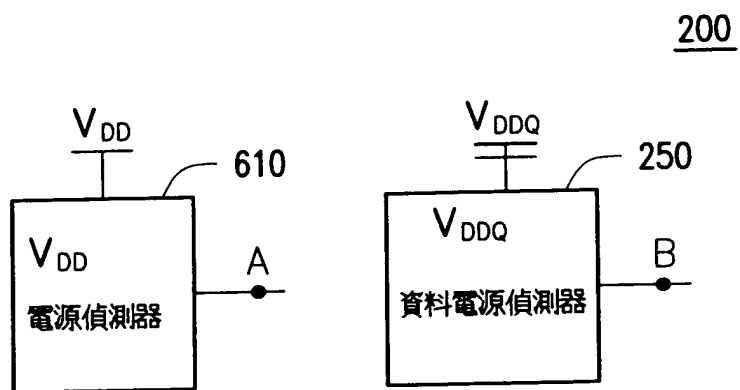
- 一第三電阻，其一端連接至該外部資料電源；及

- 一第二N型電晶體，其一閘極接至該第一與該第二電阻耦接之節點，其一源極連接至該參考地線，其一汲極連接至該第三電阻之另一端，係該第二電力偵測器之輸出端。

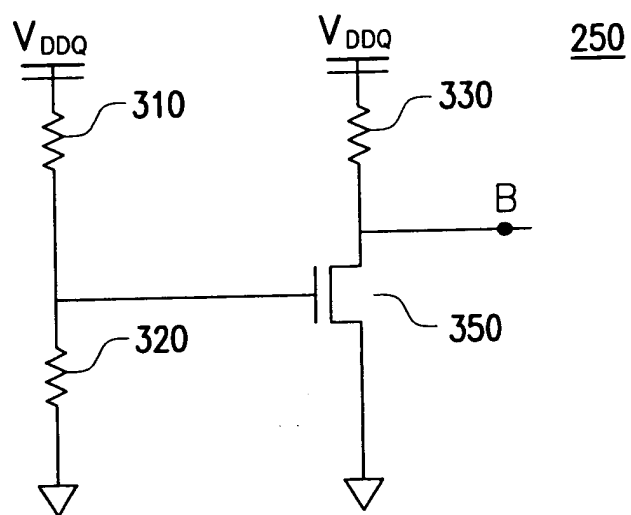




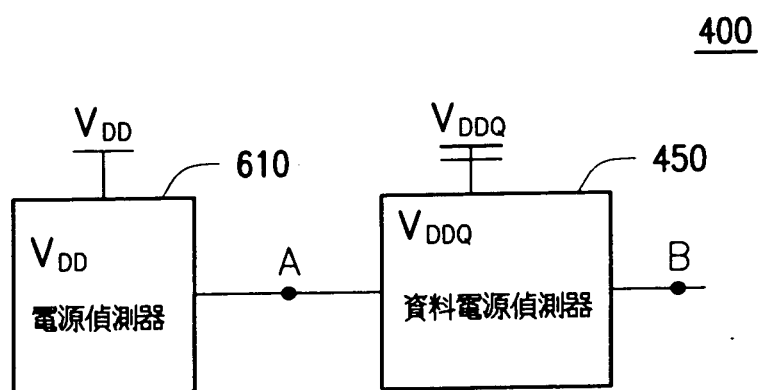
第 1 圖



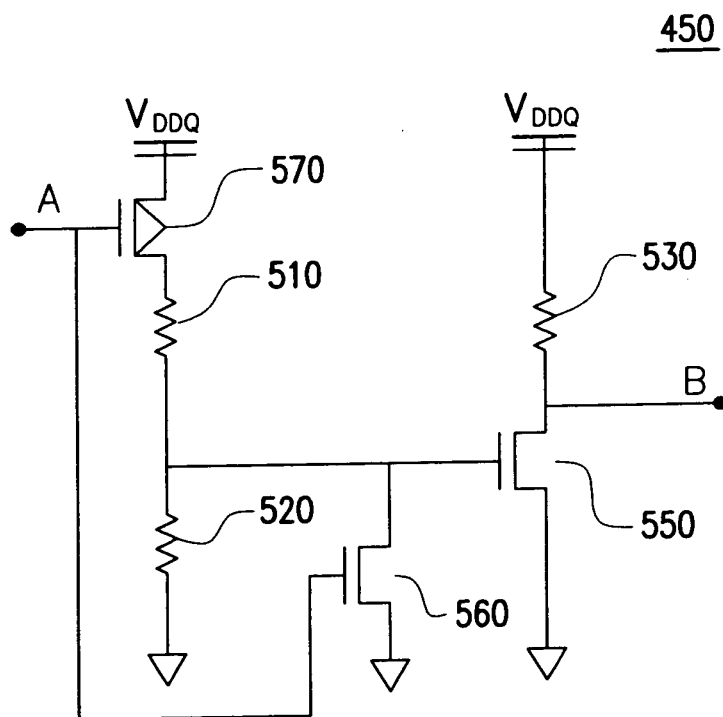
第 2 圖



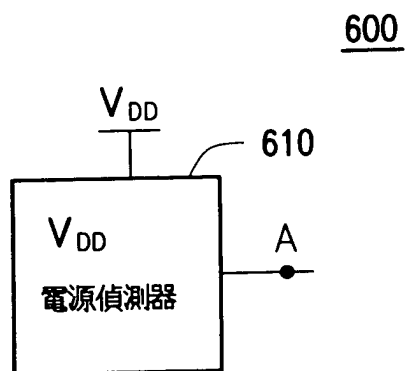
第 3 圖



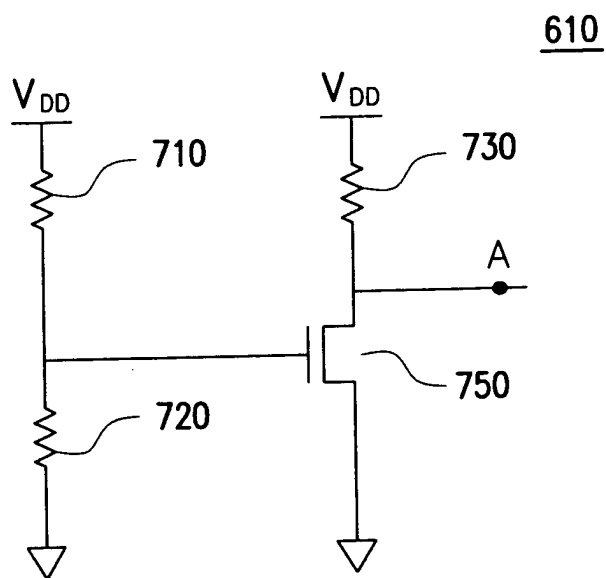
第 4 圖



第 5 圖

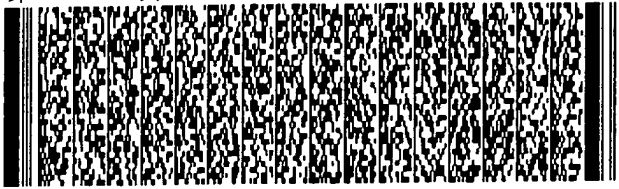


第 6 圖

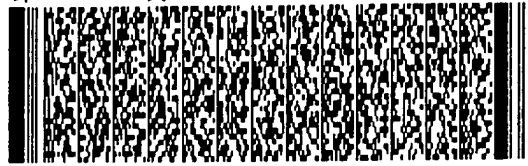


第 7 圖

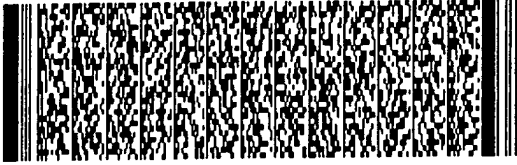
第 1/17 頁



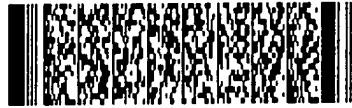
第 2/17 頁



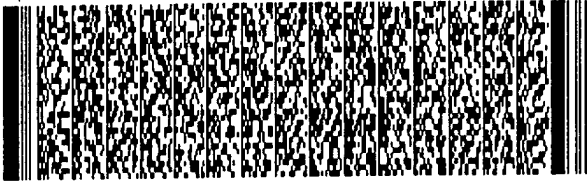
第 2/17 頁



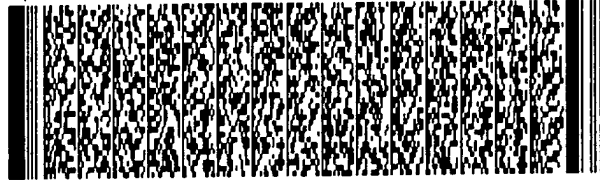
第 3/17 頁



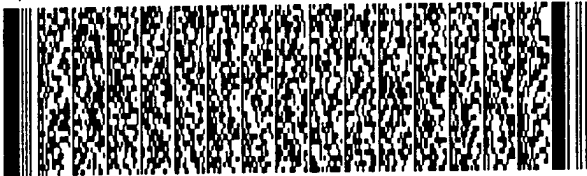
第 4/17 頁



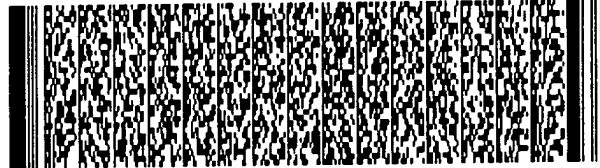
第 4/17 頁



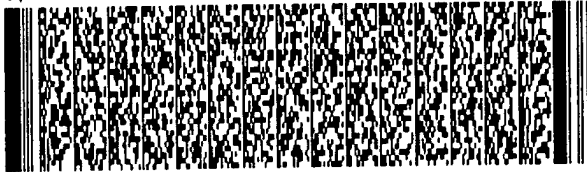
第 5/17 頁



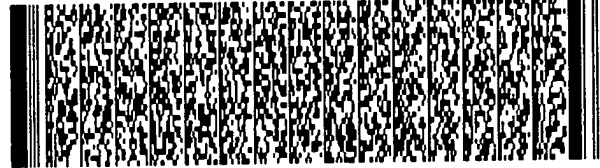
第 5/17 頁



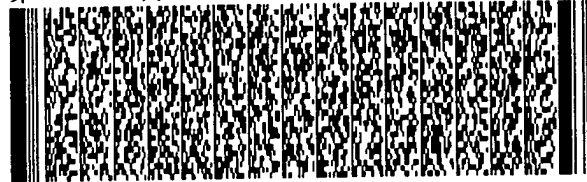
第 6/17 頁



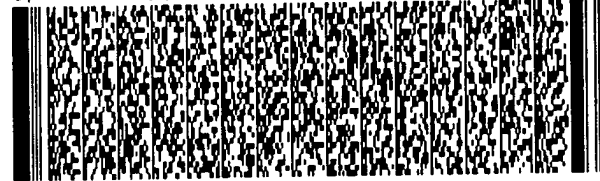
第 6/17 頁



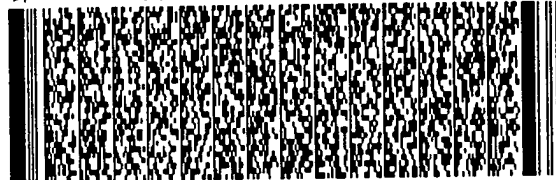
第 7/17 頁



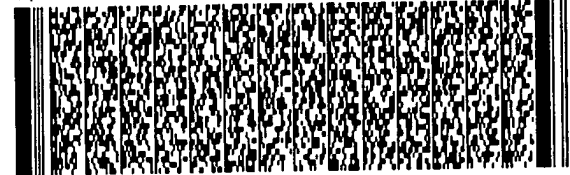
第 7/17 頁



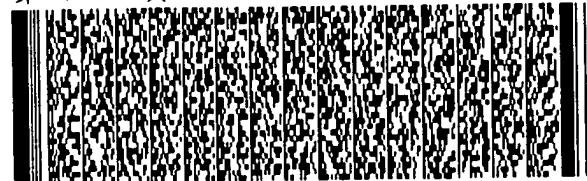
第 8/17 頁



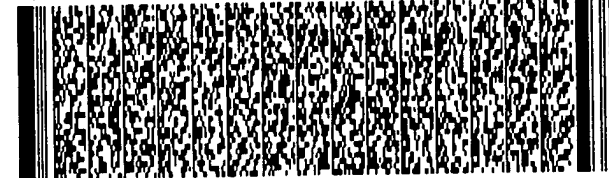
第 8/17 頁



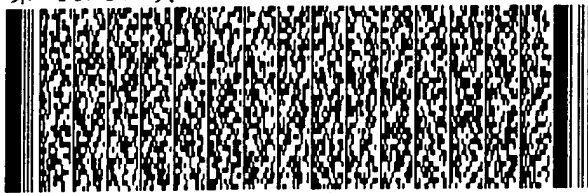
第 9/17 頁



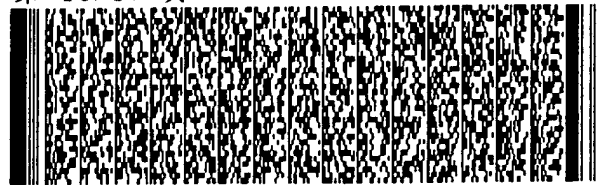
第 9/17 頁



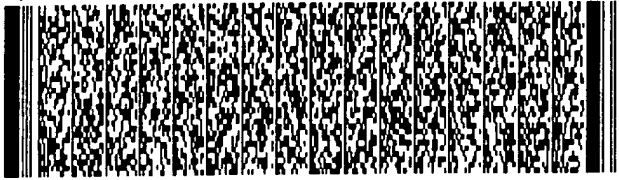
第 10/17 頁



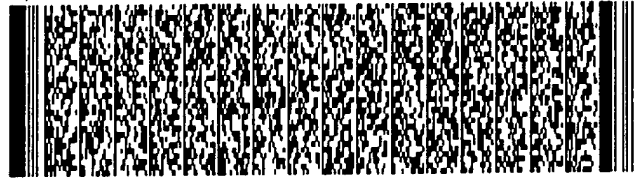
第 10/17 頁



第 11/17 頁



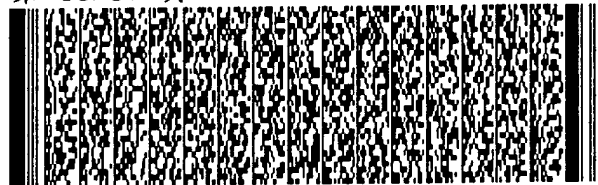
第 11/17 頁



第 12/17 頁



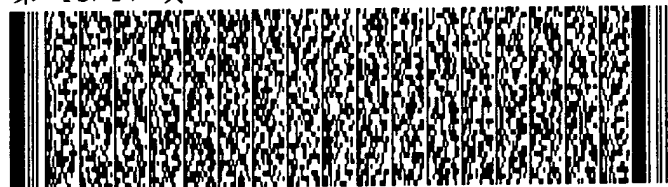
第 13/17 頁



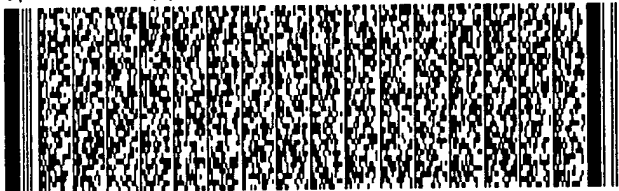
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

